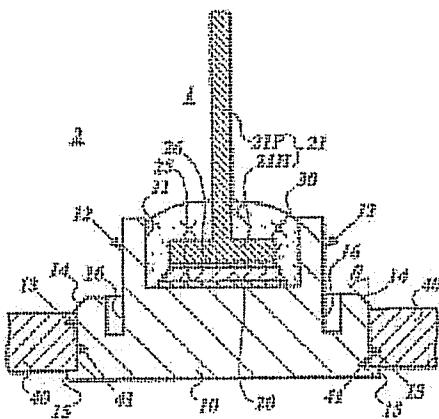


SUPPORT PLATE FOR SEMICONDUCTOR ELEMENT, SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE PACKAGING BODY**Publication number:** JP2001068592 (A)**Also published as:****Publication date:** 2001-03-16

JP3341731 (B2)

Inventor(s): YAMAZAKI ATSUYA**Applicant(s):** SANKEN ELECTRIC CO LTD**Classification:****- international:** H01L23/12; H01L23/36; H01L23/48; H01L23/12; H01L23/34; H01L23/48; (IPC1-7): H01L23/12**- European:****Application number:** JP19990243820 19990830**Priority number(s):** JP19990243820 19990830**Abstract of JP 2001068592 (A)**

PROBLEM TO BE SOLVED: To obtain a support plate (heat sink) for a semiconductor element with improved electrical reliability, a semiconductor device, and a semiconductor device packaging body by preventing the characteristic deterioration of the semiconductor element, when fitting it to an external heat sink. **SOLUTION:** A semiconductor element sticking part (first body part), an outer wall part 12, a peripheral part (second body part) that is thinner than the semiconductor element-sticking part, and a stress-absorbing part 16 that is formed outside the outer wall part 12 are provided. The stress-absorbing part 16 is formed by grooves with U-shaped and V-shaped sections or the like. A semiconductor element 20 is mounted on the central part of the surface of the support plate 10 and is molded by a coating member 30 for primary packaging.; Then, in a secondary packaging for embedding an external heat sink 40 to a heat sink connection part 13, the stress-absorbing part 16 relaxes the propagation of stress being generated by the secondary packaging, thus preventing stress distortions from being generated at the junction interface between the support plate 10 and the semiconductor element 20.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-68592

(P2001-68592A)

(43)公開日 平成13年3月16日 (2001.3.16)

(51)Int.Cl.⁷

H 0 1 L 23/12
23/36
23/48

識別記号

F I

H 0 1 L 23/12
23/48
23/36

テマコト⁸ (参考)

J 5 F 0 3 6
C
C

審査請求 有 請求項の数8 O.L (全 11 頁)

(21)出願番号

特願平11-243820

(22)出願日

平成11年8月30日 (1999.8.30)

(71)出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72)発明者 山崎 敦哉

埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

(74)代理人 100083806

弁理士 三好 秀和 (外8名)

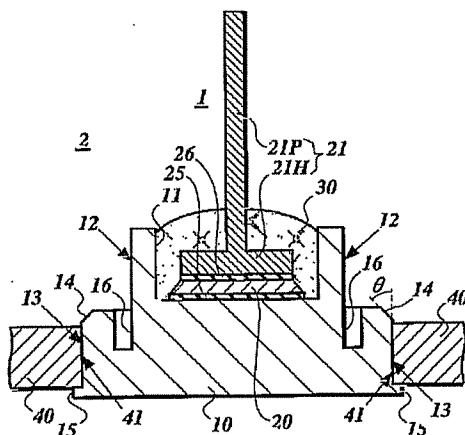
Fターム(参考) 5F036 AA01 BB01 BB08 BC01 BD01

(54)【発明の名称】 半導体素子用支持板、半導体装置及び半導体装置実装体

(57)【要約】

【課題】 外部放熱板の装着時の半導体素子の特性劣化を防止し、電気的信頼性を向上させた半導体素子用支持板(ヒートシンク)、半導体装置及び半導体装置実装体を提供する。

【解決手段】 半導体素子固定部(第1本体部)、外壁部12、半導体素子固定部よりも薄い周辺部(第2本体部)と、外壁部12の外側に形成された応力吸収部16とを備えている。応力吸収部16は断面U字溝、又はV字溝等の溝で形成されている。支持板10の表面中央部上には半導体素子20を搭載し、コーティング部材30でモールドし1次実装を行う。そして、放熱板結合部13に外部放熱板40をはめ込む2次実装時において、応力吸収部16はこの2次実装により発生する応力の伝搬を緩和するので、応力歪みが支持板10と半導体素子20との接合界面に発生しない。



1	半導体装置	20	半導体素子
2	半導体装置実装体	21	リード端子
10	支持板	21H	ヘッド部
11	半導体素子搭載用凹部	21P	リード部
12	外壁部	25	第1の接合層
13	放熱板結合部	26	第2の接合層
14	放熱板ガイド用傾斜面	30	コーティング部材
15	放熱板ストッパー	40	外部放熱板
16	応力吸収部	41	被結合部

【特許請求の範囲】

【請求項1】 板状の半導体素子固定部と、該半導体素子固定部を取り囲み、内部に半導体素子搭載用凹部を構成する外壁部と、該外壁部の外側において、前記半導体素子固定部よりも薄い板状に形成され、且つその外周部を放熱板結合部とする周辺部と、前記外壁部の外側の前記周辺部に形成された応力吸収部とを備えたことを特徴とする半導体素子用支持板。

【請求項2】 前記応力吸収部は、前記外壁部に沿って、前記周辺部の表面に形成された溝部であることを特徴とする請求項1記載の半導体素子用支持板。

【請求項3】 前記放熱板結合部には、放熱板ガイド用傾斜面をさらに備えたことを特徴とする請求項1又は2記載の半導体素子用支持板。

【請求項4】 少なくとも第1及び第2の主電極領域を有する半導体素子と、前記第1の主電極領域と第1の接合層を介して接続された板状の半導体素子固定部と、該半導体素子固定部を取り囲み、内部に半導体素子搭載用凹部を構成する外壁部と、該外壁部の外側において、前記半導体素子固定部よりも薄い板状に形成され、且つその外周部を放熱板結合部とする周辺部と、前記外壁部の外側で、前記外壁部に沿って前記周辺部の表面に形成された応力吸収部とを備えた半導体素子用支持板と、前記第2の主電極領域と第2の接合層を介して接続されたリード端子と、前記半導体素子搭載用凹部の内部において、前記リード端子の一部及び前記半導体素子を覆うコーティング部材とを備えたことを特徴とする半導体装置。

【請求項5】 前記応力吸収部は、前記外壁部に沿って、前記周辺部の表面に形成された溝部であることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記放熱板結合部には、放熱板ガイド用傾斜面をさらに備えたことを特徴とする請求項4又は5記載の半導体装置。

【請求項7】 前記半導体素子固定部の表面の水平レベルよりも、前記周辺部の表面の水平レベルが低くなるように、前記半導体素子固定部と前記周辺部とが連続して形成されていることを特徴とする請求項4乃至6のいずれか1項記載の半導体装置。

【請求項8】 少なくとも第1及び第2の主電極領域を有する半導体素子と、前記第1の主電極領域と第1の接合層を介して接続された板状の半導体素子固定部と、該半導体素子固定部を取り囲み、内部に半導体素子搭載用凹部を構成する外壁部と、該外壁部の外側において、前記半導体素子固定部よりも薄い板状に形成され、且つその外周部を放熱板結合部とする周辺部と、前記外壁部の外側で、前記外壁部に沿って前記周辺部の表面に形成された応力吸収部とを備

えた半導体素子用支持板と、

前記第2の主電極領域と第2の接合層を介して接続されたリード端子と、前記半導体素子搭載用凹部の内部において、前記リード端子の一部及び前記半導体素子を覆うコーティング部材と、前記放熱板結合部の外側で、前記放熱板結合部をはめ込んで配置された外部放熱板とを備えたことを特徴とする半導体装置実装体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子用支持板、半導体装置及び半導体装置実装体に関する。特に本発明は、電力用整流ダイオード等のペレット状の半導体素子(半導体チップ)を搭載するための半導体素子用支持板、この半導体素子用支持板の表面上に半導体素子が搭載(1次実装)された構造からなる電力用半導体装置、及びこの電力用半導体装置に外部放熱板を装着(2次実装)した構造からなる半導体装置実装体に関する。

【0002】

【従来の技術】図9に示すように、従来技術に係る電力用ダイオードは、平面円盤形状で厚みのある支持板100と、この支持板100の表面側に形成された凹部101にマウントされた半導体素子(半導体チップ)110と、この半導体チップ110上に取り付けられたリード端子111と、凹部101に半導体チップ110を覆うように充填されたコーティング部材115とを備えて構成されている。支持板100は、金属で形成され、半導体チップ110の動作で発生する熱を外部に放出する放熱板(ヒートシンク)として兼用されるとともに、半導体チップ110に電源を供給する電源板としても兼用されている。

【0003】この従来技術に係る電力用ダイオードは、例えばオルタネータ用整流ダイオードである。1次実装段階では、半導体チップ110は、凹部101の底面上に半田、導電性接着剤等の接合層112を介在させて、機械的、電気的、かつ熱的に接合される。リード端子111は、円盤形状のヘッダ部111Aと、ヘッダ部111A上から真上に延伸する棒状のリード部111Bとを一体に形成したものである。このリード端子111のヘッダ部111Aは半導体チップ110に接合層113を介在させて機械的、かつ電気的に接続されている。リード端子111は半導体チップ110に電源を供給するようになっている。コーティング部材115には例えばポッティング法で形成された樹脂が使用され、コーティング部材115は外部環境から半導体チップ110を保護することができる。

【0004】このように構成される1次実装体としてのダイオードは、支持板100とは別部材で形成された外部放熱板120に装着(2次実装)され、半導体装置実

装体（2次実装体）を構成するようになっている。半導体チップ110の動作で発生する熱は支持板100に放出され、さらにこの支持板100を通して外部放熱板120に熱が伝達され、この外部放熱板120から効率良く熱を放出することができる。

【0005】ダイオードには、支持板100の側面102に沿って側面102と同一表面上（側面上）に放熱板結合部103が設けられている。一方、外部放熱板120には支持板100の外径形状に対応した円形状の被結合部（孔）121が設けられており、この被結合部121に支持板100の放熱板結合部103がはめ込まれることにより、外部放熱板120にダイオードを装着（2次実装）することができる。双方のはめ込みは、外部放熱板120の被結合部（孔）121内に、矢印A方向に支持板100を打ち込むことにより行われている。

【0006】図9には示していないが、支持板100の外周部である放熱板結合部103には支持板100の厚さ方向に沿って複数本の溝が予め形成されている。この溝は、被結合部121内において放熱板結合部103の滑りを良くしつつ、打ち込まれた際には潰れて被結合部121と放熱板結合部103との間の密着性を向上できるようになっている。つまり、被結合部121と放熱板結合部103との間を密着させることにより、双方の間を機械的に強固に結合することができ、さらに高い熱伝達効率が得られるように熱的に結合することができる。

【0007】

【発明が解決しようとする課題】上記従来技術に係るダイオード及びその半導体装置実装体においては、以下の点について配慮がなされていなかった。

【0008】支持板100の放熱板結合部103の外径寸法は、外部放熱板120の被結合部121の内径寸法と同等か、僅かに小さな寸法に設定されており、双方のはめ込みの密着性が高められている。2次実装段階では、打ち込みにより放熱板結合部103が被結合部121に強制的にはめ込まれるので、外部放熱板120により支持板100は締め付けられ、支持板100には矢印Bに示すように水平方向に圧縮応力が働く。この圧縮応力は四部101の底面と半導体チップ100との接合界面に応力歪みを発生させ、半導体チップ110の整流特性の変化等の特性劣化を引き起こす原因になっていた。このため、1次実装段階で、電気的特性の優れたダイオードを製作しても、2次実装段階でダイオードの電気的特性を劣化させてしまう可能性があった。

【0009】本発明者は、このような技術的課題を解決するために、支持板100の四部101の内壁に沿って溝を形成し、この溝により応力緩和を試みた。しかしながら、四部101の内部に溝が形成されるので、この溝内にもコーティング部材115が充填されてしまい、溝による充分な応力緩和を得ることができなかつた。

【0010】本発明は上記課題を解決するためになされ

たものである。従って、本発明の目的は、2次実装段階で発生する応力が半導体素子に及ばないような構造を有した半導体素子用支持板を提供することである。

【0011】本発明の他の目的は、外部放熱板の装着（2次実装）時に発生する応力の半導体素子への伝搬を減少させ、この応力伝搬による半導体素子の特性劣化を防止し、電気的信頼性を向上させた半導体装置（1次実装体）を提供することである。

【0012】本発明の更に他の目的は、2次実装時に発生する応力の半導体素子への伝搬が少なく、且つ高い放熱効率を有した半導体装置実装体（2次実装体）を提供することである。

【0013】本発明の更に他の目的は、2次実装工程を容易且つ短時間で行うことができ、1次実装体に悪影響を与えることのない半導体装置実装体を提供することである。

【0014】本発明の更に他の目的は、2次実装工程の歩留まりを向上させることができる半導体装置実装体を提供することである。

【0015】

【課題を解決するための手段】上記課題を解決するため、本発明の第1の特徴は、板状の半導体素子固定部（第1本体部）と、この半導体素子固定部を取り囲み、内部に半導体素子搭載用凹部を構成する外壁部と、平面パターン上この外壁部の外側において、半導体素子固定部に連続し、半導体素子固定部よりも薄い板状に形成され、且つその外周部を放熱板結合部とする周辺部（第2本体部）と、平面パターン上、外壁部の外側の位置の周辺部に形成された応力吸収部とを備えた半導体素子用支持板であることである。この半導体素子用支持板に半導体素子を搭載し、モールドすることにより1次実装レベルの半導体装置が完成する。「放熱板結合部」とは、この半導体装置を装着（2次実装）する外部放熱板を取り付ける部位である。

【0016】本発明の第1の特徴によれば、1次実装体としての半導体装置を外部放熱板に装着し、2次実装体としての半導体装置実装体を構成したとき、半導体素子用支持板に、応力吸収部が設けられているため、放熱板結合部からの応力を半導体素子固定部と半導体素子との接合界面に伝搬させないか、極力減少させることができる。従って、2次実装時の応力伝搬に起因する半導体素子の特性劣化を防止することができる。

【0017】本発明の第1の特徴に係る半導体素子用支持板において、応力吸収部は、外壁部に沿って支持板の周辺部の表面に、即ち、周辺部の表面から裏面側に向かう方向を深さ方向とする溝で形成することが好ましい。この溝の存在により、放熱板結合部からの応力伝搬を有效地に緩和し、半導体素子固定部と半導体素子との接合界面に伝搬させないか、極力減少させることができる。ここで、応力吸収部の「溝」はU字溝、V字溝等を種々の

形状の溝を使用することができる。さらに、本発明の第1の特徴に係る半導体素子用支持板において、支持板の放熱板結合部には放熱板ガイド用傾斜面を備えることが好ましい。放熱板ガイド用傾斜面を設けることにより、外部放熱板の被結合部内に支持板の放熱板結合部をスムーズに導くことが可能である。

【0018】また、半導体素子固定部（第1本体部）の表面の水平レベル（高さ）よりも、周辺部（第2本体部）の表面の水平レベル（高さ）が低くなるように、半導体素子固定部（第1本体部）と周辺部（第2本体部）とを連続して形成することが好ましい。例えば、第1本体部の裏面と第2本体部の裏面とが同一平面レベルとなるように、第1本体部と第2本体部とを一体として形成すればよい。第1本体部の厚さよりも第2本体部の厚さが薄いので、裏面を同一平面レベルにすることにより、第1本体部と半導体素子との接合界面のレベル（高さ）が、第2本体部の表面のレベル（高さ）よりも上に位置することになる。従って、仮に、応力吸収部が存在しないとしても、基本的に、外部放熱板を装着（2次実装）時の応力は、第1本体部の表面近傍に伝搬しにくい構造である。そして、このような第1本体部と第2本体部の高さ（厚み）関係のもとで、応力吸収部を設けることにより、2次実装時の応力は、さらに、第1本体部の表面近傍に伝搬しにくい構造となる。従って、応力伝搬に起因する半導体素子の特性劣化をより一層防止することができる。

【0019】本発明の第2の特徴は、少なくとも第1及び第2の主電極領域を有する半導体素子と、この半導体素子を搭載した半導体素子用支持板と、この半導体素子に接続されたリード端子と、このリード端子の一部及び半導体素子を覆うコーティング部材とから構成される1次実装レベルの半導体装置であることである。「半導体素子用支持板」は、上記の本発明の第1の特徴に係る半導体素子用支持板と同様な構成である。即ち、本発明の第2の特徴に係る半導体装置を構成している半導体素子用支持板は、板状の半導体素子固定部（第1本体部）と、この半導体素子固定部を取り囲み、内部に半導体素子搭載用凹部を構成する外壁部と、平面パターン上、この外壁部の外側に半導体素子固定部に連続して形成され、半導体素子固定部よりも厚みの薄い板状で、且つその外周部を放熱板結合部とする周辺部（第2本体部）と、平面パターン上、外壁部の外側で、外壁部に沿って周辺部の表面に形成された応力吸収部とを備えている。半導体素子固定部は、半導体素子の第1の主電極領域と第1の接合層を介して接続されている。リード端子は、半導体素子の第2の主電極領域と第2の接合層を介して接続されている。コーティング部材は、半導体素子搭載用凹部の内部において、リード端子の一部及び半導体素子を覆うように設けられている。ここで、「第1主電極領域」とは、整流用ダイオードにおいては、アノード領

域又はカソード領域のいずれか一方を意味する。一方、「第2の主電極領域」とは、整流用ダイオードにおいては、上記第1の主電極領域とはならないカソード領域又はアノード領域のいずれか一方を意味する。すなわち、第1の主電極領域が、アノード領域であれば、第2の主電極領域はカソード領域であり、第1の主電極領域がカソード領域であれば、第2の主電極領域はアノード領域である。

【0020】さらに、第1及び第2の主電極領域に加えて制御電極を設け、IGBTやパワーMOSFET等のパワーIGFET等の3端子デバイスを本発明の半導体素子とすることが可能である。この場合は、「第1主電極領域」とは、IGBTにおいてエミッタ領域又はコレクタ領域のいずれか一方、パワーIGFETにおいてはソース領域又はドレイン領域のいずれか一方を意味する。「第2の主電極領域」とは、IGBTにおいては上記第1の主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方、パワーIGFETにおいては上記第1の主電極領域とはならないソース領域又はドレイン領域のいずれか一方を意味する。すなわち、第1の主電極領域が、エミッタ領域であれば、第2の主電極領域はコレクタ領域であり、第1の主電極領域がソース領域であれば、第2の主電極領域はドレイン領域である。そして、制御電極として、IGBT及びパワーIGFETのゲート電極が必要になる。従って、3端子デバイスの場合は、本発明の第2の特徴に係る半導体装置には、更に、制御電極用リード端子が加わることは勿論である。

【0021】より具体的には、半導体素子の第1の主電極領域と第1の接合層との間、及び第2の主電極領域と第2の接合層との間には、それぞれ金属層からなる第1の主電極層及び第2の主電極層が更に、挿入されてもかまわない。

【0022】「放熱板結合部」とは、本発明の第1の特徴において説明したように、本発明の第2の特徴に係る半導体装置を装着（2次実装）する外部放熱板を取り付ける部位である。本発明の第2の特徴によれば、半導体装置を外部放熱板に装着し、2次実装レベルの半導体装置実装体を構成したとき、半導体素子用支持板に、応力吸収部が設けられているため、放熱板結合部からの応力を半導体素子固定部と半導体素子との接合界面に伝搬させないか、極力減少させることが出来る。従って、応力伝搬に起因する半導体素子の特性劣化を防止することができ、電気的信頼性の高い半導体装置を実現することができる。

【0023】本発明の第2の特徴に係る半導体装置において、応力吸収部は、外壁部に沿って支持板の周辺部の表面に形成した溝とすればよい。この溝の存在により、放熱板結合部からの応力伝搬を有効に緩和し、半導体素子固定部と半導体素子との接合界面に伝搬させないか、極力減少させることが出来る。ここで、応力吸収部の

「溝」はU字溝、V字溝等を種々の形状の溝を使用することができる。さらに、本発明の第1の特徴において説明したように、半導体素子用支持板の支持板の放熱板結合部には放熱板ガイド用傾斜面を備えることが好ましい。放熱板ガイド用傾斜面を設けることにより、外部放熱板の被結合部内に支持板の放熱板結合部をスムーズに導くことが可能である。

【0024】さらに、本発明の第1の特徴で説明したように、半導体素子固定部（第1本体部）の表面の水平レベルよりも、周辺部（第2本体部）の表面の水平レベルが低くなるように、半導体素子固定部（第1本体部）と周辺部（第2本体部）とを連続して形成することが好ましい。2次実装時の応力は、さらに、第1本体部の表面近傍に伝搬しにくい構造となるからである。従って、応力伝搬に起因する半導体素子の特性劣化をより一層防止することができ、電気的信頼性の高い半導体装置を実現することができる。

【0025】本発明の第3の特徴は、上記の本発明の第2の特徴に係る半導体装置（1次実装体）と、この半導体装置の放熱板結合部の外側で、放熱板結合部をはめ込んで配置された外部放熱板とからなる2次実装体としての半導体装置実装体であることである。即ち、本発明の第2の特徴に係る半導体装置実装体は、少なくとも第1及び第2の主電極領域を有する半導体素子と、第1の主電極領域と第1の接合層を介して接続された板状の半導体素子固定部（第1本体部）と、この半導体素子固定部を取り囲み、内部に半導体素子搭載用凹部を構成する外壁部と、平面パターン上、この外壁部の外側に半導体素子固定部に連続して形成され、半導体素子固定部よりも厚みの薄い板状で、且つその外周部を放熱板結合部とする周辺部（第2本体部）と、平面パターン上、外壁部の外側で、外壁部に沿って周辺部の表面に形成された応力吸収部とを備えた半導体素子用支持板と、第2の主電極領域と第2の接合層を介して接続されたリード端子と、半導体素子搭載用凹部の内部において、リード端子の一部及び半導体素子を覆うコーティング部材と、放熱板結合部の外側で、放熱板結合部をはめ込んで配置された外部放熱板とを備えている。

【0026】本発明の第3の特徴に係る半導体装置実装体においては、半導体装置（1次実装体）の半導体素子固定部と放熱板結合部との間に応力吸収部を配設しているので、2次実装工程時に、外部放熱板に放熱板結合部をはめ込むことで発生する応力伝搬を応力吸収部で緩和し、半導体素子に応力が伝搬されることを防止することができる。従って、応力伝搬に起因する半導体素子の特性劣化を防止することができるので、電気的信頼性の高い半導体装置実装体（2次実装体）を実現することができ、さらに外部放熱板を備えているので、高い放熱効率を有する半導体装置実装体（2次実装体）を構成することができる。

【0027】さらに、本発明の第1の特徴で説明したように、第1本体部の表面のレベル（高さ）が、第2本体部の表面のレベル（高さ）よりも上に位置するように構成すれば、2次実装時の応力は、さらに、第1本体部の表面近傍に伝搬しにくい構造となる。従って、応力伝搬に起因する半導体素子の特性劣化をより一層防止することができ、電気的信頼性の高い半導体装置実装体（2次実装体）を実現することができる。

【0028】

【発明の実施の形態】次に、図面を参照して、本発明の第1の実施の形態及びその変形例を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参考して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0029】（第1の実施の形態）図1及び図2に示すように、本発明の第1の実施の形態に係る半導体装置実装体2は1個又は複数個の半導体装置（1次実装体）1を外部放熱板40に装着（2次実装）することにより組み立てられている（図1は、図2の平面図のF1-F1切断線で切った断面図である。）。

【0030】本発明の第1の実施の形態に係る半導体装置1は、少なくとも第1及び第2の主電極領域を有する半導体素子20と、この半導体素子20を搭載した半導体素子用支持板（以下において、単に「支持板」と略記する。）10と、半導体素子20に接続されたリード端子21と、このリード端子21の一部及び半導体素子20を覆うコーティング部材30とから構成される1次実装レベルの半導体装置であることである。リード端子21は、半導体素子20の第2の主電極領域と第2の接合層26を介して接続されている。そして、本発明の第1の実施の形態に係る半導体素子20として、整流ダイオードのペレット（シリコン単結晶チップ）が、一例として用いられている。

【0031】支持板10は、半導体素子（ペレット）20を搭載するための板状の半導体素子固定部（第1本体部）と、この半導体素子固定部を取り囲み、内部に半導体素子搭載用凹部11を構成する外壁部12と、平面パターン上、この外壁部12の外側に半導体素子固定部よりも厚みの薄い板状で、且つその外周部を放熱板結合部13とする周辺部（第2本体部）と、平面パターン上、外壁部12の外側の位置で、外壁部12に沿って周辺部の表面に形成された応力吸収部16とを備えている。例えば、半導体素子固定部（第1本体部）の厚さは5mm乃至7mm程度、周辺部（第2本体部）の厚さは3mm乃至5mm程

度に選定すればよい。半導体素子固定部は、半導体素子(ペレット)20の第1の主電極領域と第1の接合層25を介して接続されている。コーティング部材30は、半導体素子搭載用凹部の内部において、リード端子21の一部及び半導体素子20を覆うように設けられている。

【0032】支持板10は、全体としては円盤形状で形成されており、この支持板10の中央部の第1本体部(半導体素子固定部)は肉厚で、この周辺の第2本体部(周辺部)は肉薄となるような段差部を有している。支持板10の周辺部(第2本体部)の表面のレベル(高さ)は、半導体素子搭載用凹部11の底面、即ち、支持板10と半導体素子20との接合界面よりも支持板10の裏面側にずれたレベルに位置している。放熱板結合部13はこの支持板10の周辺部の側面に配設されている。すなわち、放熱板結合部13と半導体素子20の搭載位置(半導体素子固定部の表面側)との間の離間距離が充分に長く確保され、外部放熱板40に放熱板結合部13をはめ込んだ時に発生する応力が放熱板結合部13から半導体素子固定部の表面側に伝搬されにくい構造を構成している。

【0033】図3(A)は本発明の第1の実施の形態に係る半導体装置の外部放熱板40の装着(2次実装)前の要部拡大断面図、図3(B)は外部放熱板40の装着(2次実装)後の要部拡大断面図である。図3(A)に示すように、支持板10の放熱板結合部13には支持板10の厚さ方向に向かって複数の凹凸部130が形成されている。凹凸部130は、図3(B)に示すように、2次実装後には、外部放熱板40の被結合部41で押し潰されるようになっており、外部放熱板40の被結合部41と支持板10の放熱板結合部13との間の隙間を埋めて双方の間の密着性を高めることができる。つまり、凹凸部130は、支持板10と外部放熱板40との間を機械的、電気的かつ熱的に良好に結合させることができる。この凹凸部130は例えば支持板10の円周上の全域に、又は円周上に間欠的に延在する溝で形成することができる。また、凹凸部130は支持板10の厚さ方向に延在する溝で形成することもできる。

【0034】放熱板結合部13の上側には、角部を切り落としたような形状の放熱板ガイド用傾斜面14が配設されている。放熱板結合部13の上側とは、外部放熱板40の被結合部41に挿入される側である。放熱板ガイド用傾斜面14は、2次実装時に、外部放熱板40の被結合部41内に支持板10の放熱板結合部13がスムーズに導かれるようにするための傾斜面であり、単なる面取りとは異なり、このような単なる面取りに比べて放熱板ガイド用傾斜面14の傾斜面の長さは長く設定されている。この放熱板ガイド用傾斜面14の傾斜面の放熱板結合部13に対する傾斜角度θは30~60度の範囲を使用することができる。

【0035】放熱板結合部13の下側、詳細には支持板10の裏面縁部(外周部)には放熱板ストッパ15が配設されている。この放熱板ストッパ15は、支持板10の裏面側に外部放熱板40が抜けないようにするための外周部に設けられた凸部である。放熱板ストッパ15は、基本的には支持板10の外周部の少なくとも一ヵ所に配設されればよいが、第1の実施の形態においては支持板10の円周上(外周部)の全域に配設されている。また、放熱板ストッパ15は支持板10の外周部に間欠的に配設させることができる。

【0036】応力吸収部16は、支持板10の外壁部12と放熱板結合部13との間において、支持板10の肉薄の周辺部の表面から裏面に向かって掘り下げたような断面U字溝で形成されている。このU字溝の深さは、例えば、0.5mm乃至3mm程度に選定し、U字溝の幅は、例えば、0.5mm乃至2mm程度にすればよい。そして、このU字溝内部は基本的には空間で空気(又は所定のガス)が存在するだけで、U字溝内部には樹脂や金属等の充填材は充填されていない。応力吸収部16は、連続的に形成されており、応力吸収部16の底面(U字溝底面)の高さは外部放熱板40の表面と裏面との間のほぼ中間部分のレベルに位置するようになっている。このように応力吸収部16を設けることにより、外部放熱板40の被結合部41に支持板10の放熱板結合部13を打ち込み、かつはめ込んだ時に放熱板結合部13部分が変形しやすくなる。このため、放熱板結合部13に発生した応力は、支持板10の中央部(半導体素子固定部)に伝搬させないか、或いは応力の伝搬が減少する。なお、応力吸収部16は、支持板10の円周に沿って間欠的に配設してもよい。

【0037】厚肉の第1本体部(半導体素子固定部)、薄肉の第2本体部(周辺部)、外壁部12、放熱板結合部13、放熱板ストッパ15、応力吸収部16等は一体的に形成されており、これらで支持板10が構成されている。支持板10は、半導体素子20を搭載する基板としての機能の他に、半導体素子20に電源を供給する電源板、半導体素子20の動作で発生する熱を外部に放出する放熱板(ヒートシンク)としての機能を備えている。支持板10には、熱伝導性、電気電導性、耐腐食性等に優れた銅(Cu)、アルミニウム(Al)、鉄(Fe)、モリブデン(Mo)、タンゲステン(W)等の純金属を使用可能である。或いは、インバー、コバルト等の合金、さらにはこれらをクラッド材料とする複合材料等を支持板10に使用することができる。

【0038】半導体素子(ペレット)20の内部構造の図示は省略しているが、例えば、ペレット20の表面側に第2の主電極領域としてのカソード領域(n型半導体領域)、裏面側に第1の主電極領域としてのアノード領域(p型半導体領域)が配置されている。また、高耐圧

を確保するためにペレットの側面には傾斜面からなる、いわゆるペベル構造が構成されている。なお、これとは逆向きに、第1の主電極領域としてのカソード領域、第2の主電極領域としてのアノード領域を備える構成としてもかまわない。ペレットの裏面には図示しないが金属層からなるアノード電極（第1の主電極層）が配設されており、このアノード電極が第1の接合層25を介在させて支持板10の表面の中央部に接合されている。第1の接合層25には、例えばPb/Sn, Ag/Sn系等の半田、導電性接着剤等を使用することができる。

【0039】ペレットの表面には図示しないが、金属層からなるカソード電極（第2の主電極層）が配設されており、このカソード電極には第2の接合層26を介在させてリード端子21が接合されている。リード端子21は、カソード電極に接続される側で、円盤形状を有するヘッダ部21Hと、このヘッダ部21Hと一体に形成された棒形状のリード部21Pとを備えている。リード部21Pは外部機器に接続されるようになっている。リード端子21は例えば銅(Cu)、アルミニウム(Al)、インバー、コバール等の電気導電性に優れた材料で実用的に形成することができる。第2の接合層26は、例えば第1の接合層25と同様に半田、導電性接着剤等を使用することができる。

【0040】コーティング部材30は、半導体素子搭載用四部11の内部において、少なくともリード端子21のヘッダ部21Hが埋め込まれるように充填されている。コーティング部材30は少なくとも半導体素子20を外部環境から保護するために形成されており、このコーティング部材30には例えばポッティング法で形成されたポリイミド系樹脂等を使用することができる。

【0041】半導体装置実装体2は、このように構成される半導体装置（1次実装体）1を外部放熱板40に装着（2次実装）して構成されている。即ち、外部放熱板40の被結合部41に支持板10の放熱板結合部13を打ち込み、かつはめ込むことにより組み立てられている。外部放熱板40は平面形状が方形状の板材で形成されている。被結合部41は、支持板10の放熱板結合部13の外径寸法と同等か、又は僅かに小さい外径の貫通穴（開口形状は支持板10と同様な円形状）で形成されている。外部放熱板40は、熱伝導性の良好な、例えば銅(Cu)、アルミニウム(Al)、インバー、コバール等の金属材料で形成することができる。また、特に電気伝導性が必要ない場合には、外部放熱板40として、窒化アルミニウム(AlN)、アルミナ(Al₂O₃)等のセラミックス材料、或いは、Al—アルマイト—エポキシ樹脂—銅箔等からなる多層構造材料等を使用することができる。

【0042】次に、半導体装置実装体2の組立方法を簡単に説明する。

【0043】（イ）まず、所定の前工程により半導体素子（ペレット）を製造する。そして、図1に示すよう

に、支持板10の半導体素子搭載用四部11の底面上に第1の接合層25を介在させて半導体素子20をマウントし、さらに半導体素子20上に第2の接合層26を介在させてリード端子21を取り付け、そして半導体素子20及びリード端子21のヘッダ部21Hを覆うようにコーティング部材30を半導体素子搭載用四部11内に充填し、1次実装工程を実施し、半導体装置（1次実装体）1を完成する。

【0044】（ロ）一方、別途、外部放熱板40を準備する。外部放熱板40は被結合部41を形成しておく。被結合部41は例えばエッチング法や機械的な打ち抜き加工で形成することができる。

【0045】（ハ）前述の図3（A）に示すように、外部放熱板40の孔（被結合部）41内に半導体装置（1次実装体）1の支持板10の放熱板結合部13を挿入する。ここで、放熱板結合部13の上部には放熱板ガイド用傾斜面14が形成されているので、放熱板ガイド用傾斜面14に導かれて被結合部41内にスムースに放熱板結合部13を挿入することができる。

【0046】（二）引き続き、被結合部41の周囲近傍において外部放熱板40の表面を軽く叩き、被結合部41内部に放熱板結合部13を打ち込み、かつはめ込んで行く。外部放熱板40の裏面が放熱板結合部13の下部の放熱板ストップ15に当接した段階で、図3（B）に示すように、被結合部41と放熱板結合部13とのはめ込み、すなわち外部放熱板40への半導体装置1の装着（2次実装）が完了する。ここで、被結合部41内部に放熱板結合部13を打ち込んで行くと、放熱板結合部13に予め形成されていた凹凸部130が潰れ、被結合部41と放熱板結合部13との間の密着性を向上することができる。つまり、被結合部41と放熱板結合部13との間を機械的、電気的かつ熱的に良好に結合することができる。

【0047】このような一連の工程を行うことにより、前述の図1及び図2に示す半導体装置実装体（2次実装体）2を組み立てることができる。

【0048】以上説明したように、本発明の第1の実施の形態に係る半導体装置（1次実装体）1においては、支持板10の中央部（半導体素子固定部）と放熱板結合部13との間に応力吸収部16を配設しているので、放熱板結合部13からの応力伝搬を応力吸収部16で緩和し、支持板10の中央部（半導体素子固定部）と半導体素子20との接合界面に応力歪み等が発生することを防止することができる。従って、応力伝搬に起因する半導体素子20の特性劣化を防止することができるので、電気的信頼性の高い半導体装置1を実現することができる。さらに、この半導体装置（1次実装体）1に外部放熱板40を備えることにより、高い放熱効率を有する半導体装置実装体（2次実装体）2を構成することができる。

【0049】さらに、支持板10の中央部（半導体素子固定部）を肉厚形状に形成しているので、この部分の熱抵抗を減少することができ、半導体素子20の動作で発生する熱を即座に外部に放出することができる。しかも、支持板10の中央部（半導体素子固定部）が肉厚で形成されているので、この部分の変形を抑制し、この部分に伝搬される放熱板結合部13からの応力を減衰させることができる。従って、応力伝搬に起因する半導体素子20の特性劣化をより一層防止することができるので、電気的信頼性の高い半導体装置1及び半導体装置実装体2を実現することができる。

【0050】さらに、支持板10の周辺部を肉薄形状に形成し、この部分に放熱板結合部13及び応力吸収部16を備えているので、この部分において機械的な変形量を大きくして放熱板結合部13で発生する応力伝搬の大半を緩和することができる。従って、応力伝搬に起因する半導体素子20の特性劣化をより一層防止することができるので、電気的信頼性の高い半導体装置1及び半導体装置実装体2を実現することができる。

【0051】さらに、支持板10の中央部（半導体素子固定部）と半導体素子20との接合界面の水平レベル（高さ）よりも低い位置、即ち、支持板10の裏面方向に下がったレベルになるように外部放熱板40の表面の水平レベルを選定して、装着（2次実装）している。このため、半導体素子固定部と半導体素子20との接合界面と外部放熱板40との間の離間距離を稼ぐことができ、放熱板結合部13から接合界面に伝搬される応力を減衰させることができる。従って、応力伝搬に起因する半導体素子20の特性劣化をより一層防止することができるので、電気的信頼性の高い半導体装置1及び半導体装置実装体2を実現することができる。

【0052】さらに、本発明の第1の実施の形態に係る半導体装置実装体2においては、半導体装置1の支持板10に放熱板ガイド用傾斜面14、放熱板トップ15のそれぞれを備えているので、外部放熱板40への半導体装置1の装着を簡易に行うことができ、2次実装工程を容易にことができる。この結果、2次実装工程における半導体装置1の電気的特性の劣化を防止し、2次実装工程の歩留まりを向上させることができる。

【0053】（第1の実施の形態の変形例）図4乃至図8は、本発明の第1の実施の形態に係る半導体装置1の支持板10の応力吸収部16の変形例を説明するものである。

【0054】第1の変形例：図4に示す半導体装置1の支持板10には、断面V字溝で形成された応力吸収部161が配設されている。この応力吸収部161はV字溝の内側（支持板10の中心側）の一方の内壁を外壁部12と同一表面になるように形成している。このように構成される半導体装置1においては、V字溝の頂部161aにおける応力集中を大きくすることができ、放熱板結

合部13に発生する応力の緩和効率を向上させることができる。

【0055】第2の変形例：図5に示す半導体装置1の支持板10には、図4に示す半導体装置1の支持板10と同様に、断面V字溝で形成された応力吸収部162が配設されている。この応力吸収部162はV字溝の外側（支持板10の外周側）の他方の内壁を放熱板結合部13とほぼ平行になるように形成している。このように構成される半導体装置1においては、図4に示す半導体装置1と同様に、V字溝の頂部162aにおける応力集中を大きくすることができ、応力の緩和効率を向上させることができる。

【0056】第3の変形例：図6に示す半導体装置1の支持板10には、図4、図5に示すそれぞれの半導体装置1の支持板10と同様に、断面V字溝で形成された応力吸収部163が配設されている。この応力吸収部163は、V字溝の一方の内壁、他方の内壁のそれぞれが同等の角度の傾斜面で形成されており、文字通りV字に最も近い断面形状で形成されている。このように構成される半導体装置1においては、図4、図5にそれぞれ示す半導体装置1と同様に、V字溝の頂部163aにおける応力集中を大きくすることができ、放熱板結合部13に発生する応力の緩和効率を向上させることができる。

【0057】第4の変形例：図7に示す半導体装置1の支持板10には、図1に示す半導体装置1の支持板10と同様に、断面U字溝で形成された応力吸収部164が配設されている。この応力吸収部164は、U字溝の底面に湾曲を有し、文字通りU字に最も近い断面形状で形成されている。このように構成される半導体装置1においては、図1に示す半導体装置1と同様に、放熱板結合部13に発生する応力を充分に緩和することができる。

【0058】第5の変形例：図8に示す半導体装置1の支持板10は、前述の図1に示す半導体装置1の支持板10と同様な構造を備えているが、支持板10の表面の中央部と、この中央部を取り囲む筒状の別部材の外壁部（ダム）18とで半導体素子搭載用凹部17を形成している。応力吸収部165は、図1に示す半導体装置1の応力吸収部16の溝幅に比べて、さらには外壁部18の厚さに比べて大きな溝幅を有する断面U字溝（底面は平坦）で形成されている。外壁部18の底面は応力吸収部165のU字溝底面に当接するようになっている。図1に示した半導体装置1で得られる効果と同様の効果を得ることができ、さらに溝幅が大きい断面U字溝の応力吸収部165を備えているので、外部放熱板40に装着され半導体装置実装体2を構成することにより放熱板結合部13に発生する応力を充分に緩和することができる。さらには、支持板10の中央部（半導体素子固定部）と半導体素子20との接合界面と、放熱板結合部13との間の離間距離をより一層稼ぐことができるので、放熱板結合部13から双方の接合界面に伝搬される応力をより

一層減衰させることができる。

【0059】(その他の実施の形態)本発明は上記第1の実施の形態及びその変形例によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0060】例えば、上記第1の実施の形態及びその変形例においては、半導体素子20には整流用ダイオードが使用された場合について説明したが、これは単なる例示に過ぎない。本発明においては、「半導体素子」としては、整流用ダイオード以外に、パワーバイポーラトランジスタ(BJT)、絶縁ゲート型バイポーラトランジスタ(IGBT)、パワーMOSFET、ゲートターンオフ(GTO)サイリスタ、電力用静電誘導トランジスタ(SIT)、静電誘導サイリスタ(SIサイリスタ)等種々の電力用半導体素子が適用可能である。また、エミッタ・スイッチド・サイリスタ(EST)等のMOS複合デバイスを、本発明の「半導体素子」として適用してもかまわない。これら、3端子デバイスにおいては、上記第1の実施の形態及びその変形例において記載した構成に、更に、制御電極用リード端子が加わることは勿論である。又、ダブルゲート型SIサイリスタやダブルゲート型IGBTではさらに、第2の制御電極用リード端子を加えればよい。

【0061】このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。従って、本発明の技術的範囲は上記の妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0062】

【発明の効果】本発明によれば、2次実装段階で発生する応力が半導体素子(半導体チップ)に及ばないような構造を有した半導体素子用支持板を提供することができる。

【0063】本発明によれば、外部放熱板を装着する2次実装段階で発生する応力の半導体素子への伝搬を減少させた半導体装置(1次実装体)を提供することができる。

【0064】さらに、本発明によれば、この応力伝搬による半導体素子の特性劣化が有効に防止され、電気的信頼性の高い半導体装置を提供することができる。

【0065】さらに、本発明によれば、高い放熱効率を有し、且つ半導体素子への応力伝搬を緩和した半導体装置実装体(2次実装体)を提供することができる。

【0066】さらに、本発明によれば、組立工程(2次実装工程)を容易且つ短時間で行い、1次実装体に悪影響を与えることのない半導体装置実装体を提供することができる。

【0067】さらに、本発明によれば、2次実装工程の歩留まりの高い半導体装置実装体を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置実装体の断面図である。

【図2】本発明の第1の実施の形態に係る半導体装置実装体の平面図である。

【図3】図3(A)は、本発明の第1の実施の形態に係る半導体装置を外部放熱板に装着する前の要部拡大断面図、図3(B)は外部放熱板へ装着後の要部拡大断面図である。

【図4】第1の実施の形態の第1の変形例に係る半導体装置実装体の断面図である。

【図5】第1の実施の形態の第2の変形例に係る半導体装置実装体の断面図である。

【図6】第1の実施の形態の第3の変形例に係る半導体装置実装体の断面図である。

【図7】第1の実施の形態の第4の変形例に係る半導体装置実装体の断面図である。

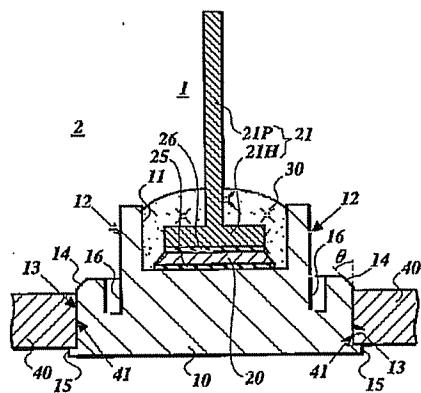
【図8】第1の実施の形態の第5の変形例に係る半導体装置実装体の断面図である。

【図9】従来技術に係る半導体装置実装体の断面図である。

【符号の説明】

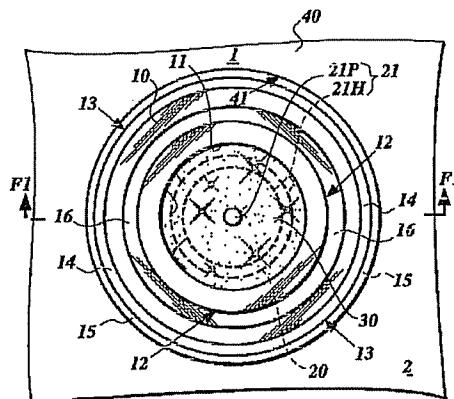
- 1 半導体装置
- 2 半導体装置実装体
- 10 支持板
- 11、17 半導体素子搭載用凹部
- 12、18 外壁部
- 13 放熱板結合部
- 14 放熱板ガイド用傾斜面
- 15 放熱板ストッパー
- 16、161～165 応力吸収部
- 20 半導体素子
- 21 リード端子
- 21H ヘッダ部
- 21P リード部
- 25 第1の接合層
- 26 第2の接合層
- 30 コーティング部材
- 40 外部放熱板
- 41 被結合部

【図1】

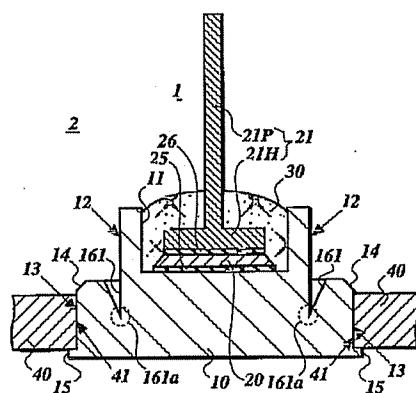


1 半導体装置	20 半導体素子
2 半導体装置実装体	21 リード端子
10 支持板	21H ヘッダ部
11 半導体素子搭載用凹部	21P リード部
12 外壁部	25 第1の接合面
13 放熱板結合部	26 第2の接合面
14 放熱板ガイド用傾斜面	30 コーティング部材
15 放熱板ストップ	40 外部放熱板
16 応力吸収部	41 被結合部

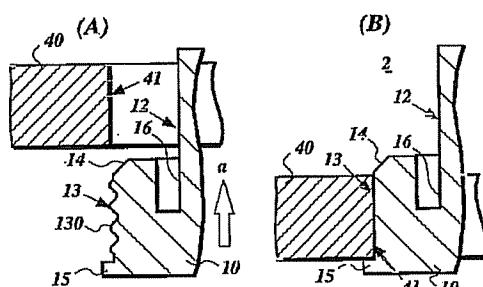
【図2】



【図4】

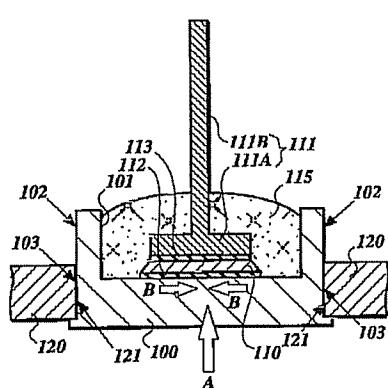


【図3】

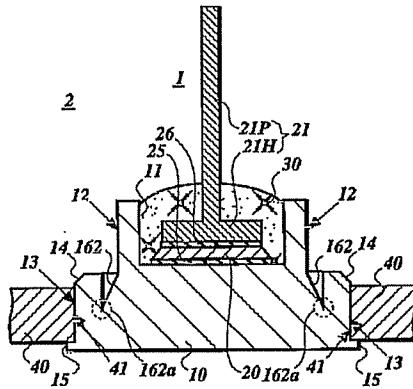


【図9】

1 半導体装置	20 半導体素子
2 半導体装置実装体	21 リード端子
10 支持板	21H ヘッダ部
11 半導体素子搭載用凹部	21P リード部
12 外壁部	25 第1の接合面
13 放熱板結合部	26 第2の接合面
14 放熱板ガイド用傾斜面	30 コーティング部材
15 放熱板ストップ	40 外部放熱板
161 応力吸収部	41 被結合部
161a 頂部	

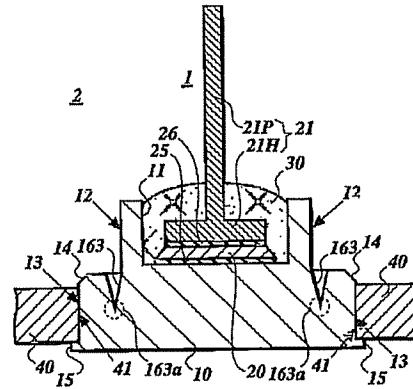


【図5】



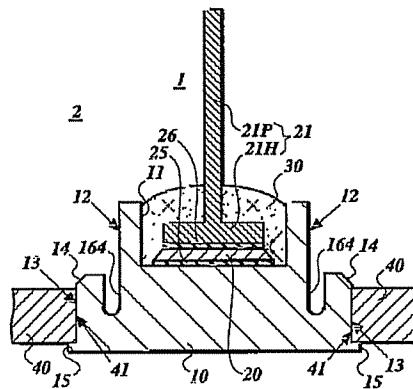
1 半導体装置	20 半導体素子
2 半導体装置実装体	21 リード端子
10 支持板	21H ヘッダ部
11 半導体素子搭載用凹部	21P リード部
12 外壁部	25 第1の接合面
13 放熱板結合部	26 第2の接合面
14 放熱板ガイド用傾斜面	30 コーティング部材
15 放熱板ストップバ	40 外部放熱板
162 応力吸収部	41 被結合部
162a 顶部	163a 顶部

【図6】



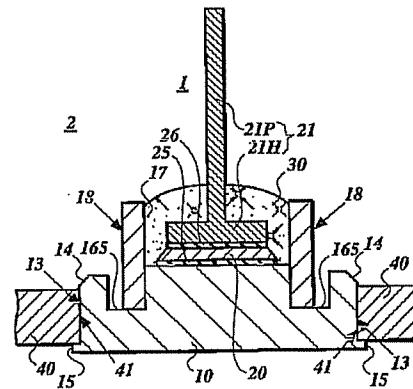
1 半導体装置	20 半導体素子
2 半導体装置実装体	21 リード端子
10 支持板	21H ヘッダ部
11 半導体素子搭載用凹部	21P リード部
12 外壁部	25 第1の接合面
13 放熱板結合部	26 第2の接合面
14 放熱板ガイド用傾斜面	30 コーティング部材
15 放熱板ストップバ	40 外部放熱板
163 応力吸収部	41 被結合部
163a 顶部	163a 顶部

【図7】



1 半導体装置	20 半導体素子
2 半導体装置実装体	21 リード端子
10 支持板	21H ヘッダ部
11 半導体素子搭載用凹部	21P リード部
12 外壁部	25 第1の接合面
13 放熱板結合部	26 第2の接合面
14 放熱板ガイド用傾斜面	30 コーティング部材
15 放熱板ストップバ	40 外部放熱板
164 応力吸収部	41 被結合部

【図8】



1 半導体装置	20 半導体素子
2 半導体装置実装体	21 リード端子
10 支持板	21H ヘッダ部
17 半導体素子搭載用凹部	21P リード部
18 外壁部	25 第1の接合面
19 放熱板結合部	26 第2の接合面
20 放熱板ガイド用傾斜面	30 コーティング部材
21 放熱板ストップバ	40 外部放熱板
22 応力吸収部	41 被結合部